

## **Labex FIRST-TF**

### **Demande de soutien à projet – 2017**

**A envoyer à [ao@first-tf.com](mailto:ao@first-tf.com) avant le 6 février 2017**

1) **TITRE ET RÉSUMÉ DU PROJET EN FRANÇAIS (10-15 LIGNES)**

☑ Seront affichés sur le site web de FIRST-TF si le projet est soutenu par le Labex.

Instrumentation modulaire numérique pour le Temps/Fréquence

L'électronique numérique est massivement adoptée dans pratiquement tous les domaines, offrant souplesse, robustesse et reconfigurabilité. Dans une phase de développement d'une instrumentation scientifique complexe, un effort considérable est pourtant requis pour associer des fonctionnalités diverses dans les domaines électronique, optronique, imagerie ...

Nous proposons l'étude d'une plate-forme matérielle pédagogique associée à des méthodologies d'utilisation et de développement afin de faciliter la mise en œuvre des nouvelles technologies.

Des démonstrateurs incluant nos savoirs-faire (conditionnement faible bruit, numérisation, traitement du signal, communications, interface Homme-Machine) permettront via le groupe de travail CAN de proposer un accès à ces ressources aux membres du LabeX notamment par la mise en place d'un workshop dédié.

2) **TITRE ET RÉSUMÉ DU PROJET EN ANGLAIS (10-15 LIGNES)**

☑ Seront affichés sur le site web de FIRST-TF si le projet est soutenu par le Labex.

Digital modular instrumentation for Time&Frequency metrology

Digital electronics has a massive impact on about every current field offering flexibility, robustness and reconfigurability. During the development of complex scientific instrumentation, a considerable effort is indeed required to satisfy various functionalities in the fields of electronics, optronic, imaging ...

For this project we propose to develop an instrumental analog/digital platform also focused on trainings, with their associated development methodology, in order to make the new technologies easier to implement.

Demonstrators including our know-how (low noise conditioning, digitization, signal processing, communications, human-machine interface) will allow, thanks to our CAN workgroup, to offer access to these resources to LabeX members while setting up a dedicated workshop.

3) **TYPE D'OPÉRATION (cocher une ou plusieurs cases en double-cliquant dessus)**

- Recherche
- Valorisation, transfert vers l'industrie
- Formation, enseignement, diffusion des savoirs
- Autre (préciser) :

- Opération nouvelle (pas encore soutenue par FIRST-TF)**
- Opération déjà soutenue par FIRST-TF** – Si c’est le cas, il est demandé de résumer (format libre en moins d’une page) l’avancement scientifique et l’utilisation des crédits déjà alloués par FIRST-TF

4) **TYPE DE DEMANDE** (cocher une ou plusieurs cases en double-cliquant dessus)

- Personnel (financement de post-doc, CDD, ...)** <sup>1</sup>
- Fonctionnement (missions, chercheurs invités, organisation de colloques, ...)**
- Équipement (matériel, composants, instrumentation, ...)**

5) **AXE SCIENTIFIQUE** (cocher une ou plusieurs cases en double-cliquant dessus)

- Oscillateurs**
- Références atomiques de temps et/ou de fréquence**
- Transfert de temps et/ou de fréquence**
- Interfaces de la métrologie T/F avec d’autres disciplines**
- Autre (préciser) :**

**6) IDENTIFICATION DES ÉQUIPES IMPLIQUÉES DANS LE PROJET**

Le présent projet est proposé par des membres du groupe de travail FIRST-TF CAN :

	Nom & Prénom	Labo, Société, etc...	Adresse mail	N° téléphone
<b>Porteur</b>	Bourgeois Pierre-Yves	FEMTO-ST	<a href="mailto:pyb2@femto-st.fr">pyb2@femto-st.fr</a>	03 81 40 29 74
<b>Part. 1</b>	Lours Michel	SYRTE	<a href="mailto:Michel.lours@obspm.fr">Michel.lours@obspm.fr</a>	01 40 51 22 25
<b>Part. 2</b>	Fabrice Wiotte	LPL	<a href="mailto:Fabrice.wiotte@univ-paris13.fr">Fabrice.wiotte@univ-paris13.fr</a>	01 49 40 33 94
<b>Part. 3</b>	Eric Meyer	UTINAM	<a href="mailto:emeyer@utinam.fr">emeyer@utinam.fr</a>	03 81 66 69 22

<sup>1</sup>Le contrat actuel du Labex FIRST-TF finissant fin 2019, il n’est plus possible de cofinancer des doctorats sur une durée de 3 ans. Toutefois, des cofinancements de doctorat par FIRST-TF sont envisageables sous certaines conditions. Pour toute information, contacter dès que possible [ao@first-tf.com](mailto:ao@first-tf.com)

## 7) CONTEXTE (1 PAGE MAX)

L'électronique numérique est massivement adoptée dans pratiquement tous les domaines, offrant souplesse, robustesse et reconfigurabilité une fois les briques de base maîtrisées. Alors que le développement de blocs individuels de traitements numériques est un domaine bien connu qui fait l'objet d'une littérature abondante, l'interfaçage efficace de ces divers blocs entre eux reste un point faible. Au-delà de l'aspect logiciel, les interfaces matérielles sont elles aussi souvent un frein à l'interopérabilité, avec des cartes filles (« daughter boards ») uniquement compatibles avec un sous-ensemble de cartes de développement produites par une société donnée. De plus, certaines sociétés contraignent l'utilisateur à utiliser leur matériel et pour lesquelles le contexte de « boîte noire » ne permet pas d'utiliser des systèmes homogènes au maximum de leurs capacités.

Ainsi, un effort considérable dans une phase de développement d'une instrumentation complexe est requis pour intégrer des fonctionnalités disparates dans un environnement *in fine* cohérent.

Dans le cas particulier de l'optronique, mais dont la démonstration s'étend à tout type de discipline faisant intervenir la mesure, l'efficacité des liens fibrés est conditionnée par la maîtrise du transfert de temps (et de fréquences) et de leur synchronisation, c'est-à-dire des étapes de la génération/détection/acquisition de signal et du traitement numérique dans un ensemble analogique/numérique faible bruit ou haute résolution.

Aussi, dans l'élaboration d'expériences utilisant des atomes froids ou la manipulation d'espèces atomiques piégées, des contraintes temporelles apparaissent dans plusieurs phases de préparation des atomes ou pour satisfaire les contraintes liées par exemple aux temps de cohérence.

Le défi que nous proposons de relever par cette proposition est de supprimer ces verrous qui constituent un frein au développement technologique et à la Recherche scientifique.

En effet, la maîtrise de toute la chaîne de traitement (i.e. du conditionnement à la restitution) est d'une importance capitale, ne serait-ce que pour rendre possible l'analyse des défauts de l'instrumentation et en connaître parfaitement ses limitations, sa caractérisation.

L'accès aux ressources, la mise en commun des savoirs de domaines d'activités transverses semblent être enfin la pierre angulaire du développement d'une instrumentation de pointe, au service de notre communauté scientifique.

## 8) OBJECTIFS SCIENTIFIQUES ET/OU TECHNOLOGIQUES (1 PAGE MAX)

Forts d'un savoir-faire reconnu en métrologie électronique faible bruit et de plus d'une décennie de développements d'instruments embarqués reconfigurables combinant les fonctionnalités de processeurs généralistes et de matrices de portes logiques (CPLD puis FPGA), nous avons acquis la conviction que les environnements de développement libres encouragent l'interopérabilité et l'échange de briques, spécialité de chaque laboratoire. Cependant, la connexion de ces briques se heurte aux écueils cités ci-dessus – au niveau du matériel, des blocs de traitements embarqués sur FPGA, ou entre FPGA et CPU.

Notre objectif est de fournir une **méthodologie et un écosystème de co-design FPGA/CPU-/MicroContrôleur** dans une solution libre portant tant sur les aspects matériel que logiciel pour la réalisation d'instruments scientifiques reconfigurables. Nous nous focalisons – sans nous limiter – en particulier sur le flux tendu (sans perte d'échantillons) de signaux radiofréquences (>3 MS/s) où seules les solutions architecturées autour de FPGAs permettent d'atteindre la bande d'acquisition et de traitement requise. Cependant, la difficulté de développer des algorithmes complexes sur FPGA en limite la diffusion : la conception combinant CPU et FPGA offre le meilleur des deux mondes, avec la souplesse du logiciel décrit dans un langage de haut niveau pour communiquer avec l'utilisateur et implémenter des algorithmes exécutés sans contraintes de latences, et une acquisition et traitement d'un flux continu d'échantillons.

Nous appuyant sur des connecteurs standardisés (FMC, HSMC, PMOD, TinkerKit, embases à picots . . . ), des cartes filles sont et seront proposées pour interfacer le matériel avec les signaux générés ou acquis (commandes, boucles fermées). Afin de nous affranchir des latences induites par les stratégies classiques d'assemblage de blocs de traitement (FIFO), nous proposons une interface simple qui permet de passer efficacement les données produites par une unité de traitement vers sa voisine. L'efficacité et la souplesse de cette interface a été démontrée sur diverses plate-formes matérielles – en particulier basées sur les composants fournis par Xilinx et Altera – sans se limiter à un fondeur unique et son outil de développement propriétaire.

Une base de travail fonctionnelle existe avec des performances démontrées à plusieurs centaines de MS/s. En se fondant sur cette expérience, nous avons la volonté de

1. communiquer et documenter cet environnement de travail pour obtenir l'adhésion d'un maximum de développeurs et ingénieurs au sein des laboratoires associés au Labex, notamment sous la forme de formations/workshop,
2. compléter l'offre existante par les briques manquantes, en particulier sur l'interface homme-machine (touchscreen, pilotage par GUI ou via application Web),
3. compléter une base existante de cartes filles incluant nos propres électroniques analogiques, numériques, optronique (conditionnement faible bruit, filtrage, gestion de capteurs), constitution d'une base de données de périphériques. Chaque périphérique matériel se voit associé à un bloc d'acquisition ou de contrôle sur FPGA et un pilote pour GNU/Linux,
4. étoffer la gamme des bibliothèques et programmes en espace utilisateur (sous GNU/Linux) pour exploiter les informations acquises,
5. faire évoluer la méthode de traitement actuelle par retour d'expérience, et en particulier les interfaces de communication, les frontends . . . pour répondre aux attentes.

Pour démontrer la pertinence de notre projet et à l'issue de nos échanges, une plate-forme matérielle fonctionnelle sera proposée sous la forme de **démonstrateurs** et d'une méthodologie d'utilisation et de développement associée :

1. un démonstrateur simple (à base de RedPitaya) notamment utilisé pour nos formations,
2. un instrument reconfigurable (« high-end ») regroupant nos savoirs-faire.

## **9) RESULTATS ATTENDUS – ASPECTS FÉDÉRATEURS ET IMPACT DU PROJET POUR LE LABEX FIRST-TF (1 PAGE MAX)**

Dans ce projet, nous pensons démontrer que notre approche est viable et peut potentiellement répondre à tout type de besoin.

A l'issue du projet, nous devrions être en mesure de proposer deux plate-formes types d'instrumentation reconfigurables :

1. un instrument modulaire versatile autour de la RedPitaya (2 couples ADC/DAC rf, FPGA/CPU, E/S numériques, GPIO, SPI ...). L'architecture permet de se former au traitement numérique de signaux radio-fréquences et de s'initier rapidement à l'écosystème développé. Des interfaces supplémentaires (écran tactile, intelligence de contrôle déportée par microcontrôleur, interfaces, capteurs, cartes filles développées par notre groupe CAN) permettent de réaliser de nombreuses applications (sous forme de TP) mais peuvent également s'insérer dans des expériences scientifiques (PID numériques, analyse spectrale, PLL numériques, détection synchrone).

2. un instrument scientifique « high-end » développé autour de cartes mères plus puissantes (type ZC706 ou UltraScale+) et doté de cartes filles très rapides (ADC/DAC → 1GHz) notamment pour des applications nécessitant des grandes bandes passantes. Nous prévoyons de développer par exemple une double détection synchrone numérique, composant nécessaire au développement de sources optiques performantes.

3. la mise en place d'un workshop d'ici fin 2017 afin de présenter un prototype fonctionnel, lors d'une journée, de son utilisation sous la forme de TP pour les partenaires intéressés et pour éventuellement mieux cibler leurs attentes futures (développement de cartes filles et traitements associés)

L'horlogerie du 21ème siècle passe par l'élaboration de systèmes fortement complexes et connectés. Notre approche est de mettre en cohérence ces architectures que nous pensons vitales notamment dans l'élaboration de futurs instruments à procédés multi-variables.

Ce type de projet présente plusieurs niveaux d'abstraction reliés à certains corps de métiers et compétences diverses :

— conception d'électronique analogique faible bruit sous forme de modules et d'interfaces destinées à des plate-formes principales inhomogènes (FMC, HSMC, embases picots, PMOD). Des liens par câbles de type Cameralink peuvent être envisagés afin de supporter le différentiel.

— conception hardware au niveau portes logiques : VHDL, HDL, logiciels Vivado pour les puces FPGA et FPGA/CPU (Zynq) de Xilinx ou Quartus pour les puces Cyclone V GX d'Altera.

— algorithmes de traitement du signal (bibliothèques C, C++, GNU-Octave et tests unitaires associés)

— chaînes de compilation croisée fondées sur Buildroot, permettant de construire le système d'exploitation, d'intégrer les périphériques dans les espaces noyau (modules) ou utilisateurs (applications) ainsi que les bibliothèques développées pour l'architecture cible (de type ARM)

— développement d'interfaces graphiques multi-plateformes (embarqué, PC externe) en C++ utilisant des classes Qt.

Toutes les équipes associées au Labex ne disposent pas de moyens humains suffisants pour maîtriser tous ces aspects notamment liés à la métrologie et développer des systèmes numériques de pointe (et qui évoluent très rapidement). En ce sens le développement de notre réseau CAN (Communauté Autour du Numérique) pourrait s'appuyer sur une méthodologie concertée.

## 10) CALENDRIER BUDGETAIRE DU PROJET

Année de début du projet :2017

Année de fin prévue :2018

Crédits	Obtenus avant 2017	Obtenus / demandés en 2017	Obtenus / demandés pour après 2017
Attribués par FIRST-TF			
Attribués par d'autres financeurs (préciser lesquels)	Oscillator-IMP		
Demandés à FIRST-TF		~60 kE + CDD 1an	
Obtenus / demandés auprès d'autres financeurs (préciser lesquels)		-	

## 11) VISA DU RESPONSABLE DE CHAQUE ENTITE IMPLIQUÉE DANS LE PROJET

Pour simplifier le circuit de signature, il n'est pas demandé d'avoir toutes les signatures pour les différentes entités sur la même feuille

### **Porteur**

Nom de l'entité : Institut FEMTO-ST

Nom du directeur / de la directrice de l'entité : Laurent Larger / Institut FEMTO-ST UMR 6174

Visa :

**Partenaire 1**

Nom de l'entité : SYRTE

Nom du directeur / de la directrice de l'entité : Aranud Landragin / SYRTE UMR8630

Visa :

**Partenaire 2**

Nom de l'entité : LPL

Nom du directeur / de la directrice de l'entité : Olivier Gorceix UMR7538

Visa :



**Partenaire 3**

Nom de l'entité : UTINAM

Nom du directeur / de la directrice de l'entité : Sylvain Picaud / Institut UTINAM UMR 6213

Visa :

## Demande de financement de personnel

a) **TYPE DE FINANCEMENT** (cocher une ou plusieurs cases en double-cliquant dessus)

- CDD jeune chercheur
- ◆ Durée totale du financement :
  - ◆ Nombre de mois demandés à FIRST-TF (max : 12 mois) :
  - ◆ Date de début de contrat envisagée (avant le 1<sup>er</sup> février 2018) :
- CDD IT
- ◆ Niveau (IR, IE, ...) : IR
  - ◆ Durée totale du financement : 12 mois
  - ◆ Nombre de mois demandés à FIRST-TF (max : 12 mois) : 12 mois
  - ◆ Date de début de contrat envisagée (avant le 1<sup>er</sup> février 2018) : 1 mai 2017
- Autre (préciser le niveau, la durée et la date de début envisagée) :

b) **SI LA CANDIDATE OU LE CANDIDAT EST CONNU** <sup>2</sup>

Nom & Prénom : Gwenhaël Goavec-Merou  
Email : gwen@trabucayre.com

**Adéquation du profil de la candidature avec le projet (max ½ page) - Joindre un CV :**

Le candidat proposé est un informaticien spécialisé en traitement du signal sur FPGA et systèmes embarqués [1,2]. Il contribue régulièrement au développement du noyau linux, de buildroot, de GNURADIO [3]. Il a développé un véritable écosystème de co-design FPGA/CPU permettant maîtriser les flux et interfaces d'une chaîne de traitement complète du front-end à l'espace utilisateur [4].

Depuis que nous nous sommes lancés dans l'aventure numérique, nous savons qu'un expert disposant de toutes ces qualités est une ressource rare et principalement accaparée par l'industrie. C'est en définitive l'élément clé pour rendre ce type de projet viable.

[1] G. Goavec-Mérou *et al.*, *Fast contactless vibrating structure characterization using real time FPGA-based digital signal processing : demonstrations with a passive wireless acoustic delay line probe and vision*, Rev. Sci. Instrum 85 (1), pp.015109 (2014)

[2] P.-Y. Bourgeois, G. Goavec-Mérou *et al.*, *Noise in High-Speed Digital-to-Analog Converters*, proc. 29Th IFCS/EFTS, Denver, US (2015)

[3] G. Goavec-Mérou & J.-M Friedt, *GNURadio as a general purpose digital signal processing environment*, FOSDEM, Bruxelles, Belgique (2014)

[4] G. Goavec-Mérou & P.-Y. Bourgeois, *Une méthodologie et un écosystème de co-design FPGA/CPU*, 1ère école Technologique du RdE, Bordeaux, (2016)

**Le CV du candidat proposé est attaché en fin de document**

Il n'est pas exigé de fournir ces informations et documents au moment du dépôt du dossier. Ils devront toutefois être transmis à [ao@first-tf.com](mailto:ao@first-tf.com) avant le 31 octobre 2017 pour un début du contrat avant le 1<sup>er</sup> février 2018. L'équipe bénéficiaire d'un financement de personnel recevra les crédits correspondants après vérification que la candidature est en adéquation avec le projet proposé et qu'elle satisfait aux conditions générales des contrats à durée déterminée de l'établissement employeur.

### C) COFINANCEMENT

Cofinancement : - **NON**

Précisions sur les cofinancements éventuels :

Origine du cofinancement (établissement, contrat, etc...)	Montant du cofinancement	Etat du cofinancement Acquis / Demandé

## Demande de financement de fonctionnement

a) **TYPE DE DEMANDE** (cocher une ou plusieurs cases en double-cliquant dessus)

- Missions de collaborations entre partenaires  
 Invitation de chercheur  
 Organisation de colloque, de workshop (incluant des missions, de la sous-traitance, du petit matériel < 4 k€ unitaire HT, ...)  
 Autre (préciser) :

b) **MONTANT DEMANDÉ** <sup>3</sup> (MAX : 10 k€) : **9 k€**

c) **DÉTAIL DES CRÉDITS DE FONCTIONNEMENT DEMANDÉS ET DESCRIPTION DE LEUR UTILISATION (MAX 1 PAGE)**

	Prix / 1	nombre	total	cumul
<b>TP (workshop)</b>				
redpitaya	267	10	2670	2670
ecran tactiles 3,5'	50	10	500	3170
cartes STM32	30	10	300	3470
cartes filles adc/dac	35	20	700	4170
<b>Missions</b>				
projet	250	4	1000	5170
workshop	250	15	3750	<b>8920</b>

### D) COÛT TOTAL - COFINANCEMENTS

Coût total en fonctionnement :

Cofinancement : OUI - **NON**

<sup>3</sup>Pour la justification financière des crédits de fonctionnement, les factures correspondantes devront être fournies **avant le 1<sup>er</sup> février 2018**.

**Précisions sur les cofinancements éventuels :**

Origine du cofinancement (établissement, contrat, etc...)	Montant du cofinancement	Etat du cofinancement Acquis / Demandé

## Demande de financement d'équipement et de matériel

a) **MONTANT DEMANDE <sup>4</sup> (MAX : 50 K€) : 50 KE**

dont :

- Equipement (prix unitaire > 4 k€ HT) :
- Petit matériel (prix unitaire < 4 k€ HT) : 50 k€

**B) DÉTAIL DES CRÉDITS D'EQUIPEMENT ET DE MATÉRIEL DEMANDÉS ET DESCRIPTION DE LEUR UTILISATION (MAX 1 PAGE)**

	Prix / 1	nombre	total	cumul	pourquoi
<b>Equipement équipes CAN</b>					
redpitaya	267	8	2136	2136	2/équipe, développement
ad9915/PCBZ	600	8	4800	6936	low phase noise dds
ad9652	410	8	3280	10216	adc(2voies) 310Msps
samtech cables	100	8	800	11016	cables souples fmc
FMC-INTPZB-ND	110	8	880	11896	interface ad9652->FMC
cartes STM32	30	8	240	12136	intelligence IHM, real-time
ecran tactiles 3,5' eg TFT PITFT	50	8	400	12536	IHM
Ad-FMCDAQ2-EBZ	1500	4	6000	18536	High-speed adc/dac pour phase-lock optique.
zc706 ou UltraScale+	2500	4	10000	28536	High-end mother board (phase-lock optique)
<b>développement</b>					
ad9959 dev carte Fabrice	200	4	800	29336	développement home-made dds/stm32/interfaces SPI en plus
cartes filles adc/dac pmod Cyrus	35	16	560	29896	des petits adc/dac lents (SPI) type 20bits,
boîtiers/liaison	300	8	2400	32296	pour mettre les redpi/zc en boîte + câbleries ethernet, alim..
carte mère filaire+multiSPI pcb+composants	55	10	550	32846	interfaces mère-fille redpitaya
High-res low-speed dac/adc (spi/i2c)	1000	1	1000	33846	adc/dacs conditioning low noise, high resolution
matériel mini-circuit	7000	1	7000	40846	composants conditionnement
composants/soudure/pcb	9000	1	9000	<b>49846</b>	développement home-made

### c) COÛT TOTAL - COFINANCEMENTS

**Coût total en équipement :**

*4*Pour la justification financière des crédits d'équipement et de matériel, les factures correspondantes devront être fournies **avant le 1<sup>er</sup> février 2018**.

Cofinancement : OUI - **NON**

Précisions sur les cofinancements éventuels :

Origine du cofinancement (établissement, contrat, etc...)	Montant du cofinancement	Etat du cofinancement Acquis / Demandé

## GOAVEC-MEROU Gwenhaël

2 Route de Voray

70190 Boulton

Tel Fixe : 03.84.91.72.66

Tel Portable : 06.13.06.70.19

email : [gwenhael.goavec@free.fr](mailto:gwenhael.goavec@free.fr)

<https://github.com/trabucayre>

date de naissance : 11 mai 1980.

Permis B.

## Expérience professionnelle

- 2015-2017 (24 mois) **Ingénieur de recherche**  
*Projet Oscillateur-IMP*  
*Département Temps-Fréquence, FEMTO-ST, Besançon(25)*
- 2013-2015 (24 mois) **Ingénieur d'étude**  
*Projet Oscillateur-IMP*  
*Département Temps-Fréquence, FEMTO-ST, Besançon(25)*
- 2010-2013 **Ingénieur/Doctorant**  
*Générateur de coprocesseur pour le traitement de données en flux (vidéo ou similaire)*  
*Armadeus Systems, Mulhouse(68), Département Temps-Fréquence, FEMTO-ST, Besançon(25)*
- 2010 (2 mois) **Ingénieur d'étude**  
*Implémentation de lois de commandes pour réseaux de sondes AFM sur FPGA, projet OSCAR*  
*Département Temps-Fréquence, FEMTO-ST, Besançon(25)*
- 2009-2010 (5 mois) **Ingénieur d'étude**  
*Implémentation de lois de commandes sur FPGA, Programme PluriFormation ( PPF) Mycosystèmes Intelligents Distribués (MIDI)*  
*Département Temps-Fréquence, FEMTO-ST, Besançon(25)*

## Formation Universitaire

---

- 2010-2014 **Thèse Cifre**  
*FEMTO-ST département Temps-Fréquence, Besançon(25)*
- 2007-2009 **Master Informatique**  
*UFR Science et technologie, Besançon(25)*
- 2006/2007 **Licence Informatique 3eme année**  
*UFR Science et technologie, Besançon(25)*
- 2003/2006 **Licence Informatique**  
*Université Bordeaux I, Talence(33)*

## Diplômes obtenus

---

- 2014 **Doctorat en Sciences pour l'ingénieur**  
*UFR Science et technologie, Besançon(25)*
- 2009 **Master informatique option Systèmes distribués et réseau**  
*UFR Science et technologie, Besançon(25)*
- 2007 **Licence informatique**  
*UFR Science et technologie, Besançon(25)*
- 2006 **Diplôme Deug**  
*Université Bordeaux I, Talence(33)*
- 2001 **Bac S option SI (sciences de l'ingénieur)**  
*Lycée A. Kastler, Talence(33)*

## Stages en entreprise

---

2009 (6 mois)	<b>Stage dans le cadre du Master</b> <i>Xenomai : Integration et qualification d'un système temps-réel sur plateforme ARMadeus.</i> <i>Armadeus-Systems, Besançon(25), Mulhouse(68)</i>
2006 (3 mois)	<b>Stage dans le cadre de la Licence</b> <i>Réalisation d'un logiciel permettant la mise en communs des rendez-vous et carnet d'adresse avec synchronisation entre Outlook et une base MySQL</i> <i>Axolis, Besançon(25)</i>
2002/2003 (10 mois)	<b>Stage libre (Reconduction du premier stage) :</b>  <i>Niac Design Graphics, Bordeaux(33)</i>
2001/2002 (10 mois)	<b>Stage libre :</b> <i>Développement et déploiement de sites Internet PHP, MySQL, Javascript, mise en réseau de sociétés, Initiation au logiciels de traitement d'images</i> <i>Niac Design Graphics, Bordeaux(33)</i>

## Connaissances

---

Systèmes	<b>Linux/Unix :</b> Gentoo, Debian, Mandriva, FreeBSD, NetBSD <b>Apple :</b> Mac OS9, Mac OSX <b>Windows :</b> 98/2000/XP
Langages	C, C++, Perl, Python, GTK+, Qt, Shell
Outils	Make, GCC, grep, awk, etc...
Bureautique	LaTeX.
Graphisme	gimp, Inkscape, xfig, dia.
FPGA	VHDL, Verilog, GHDL, Vivado, ISE, Quartus
Autres	GNURadio, Buildroot (utilisation/intégration plateformes et applications), Yocto (utilisation /intégration)
Langues parlées	Anglais : niveau scolaire.

## Loisirs

---

Informatique	Contributions noyau Linux, Buildroot.
Mécanique	Automobile, 2 roues.
Sport	Voile
Autres	Photographie, musique, lecture, etc...